

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-347921

(43)Date of publication of application : 05.12.2003

(51)Int.Cl.

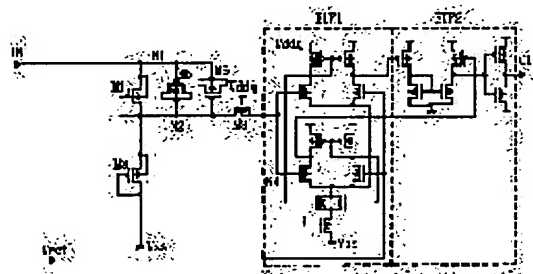
H03K 19/0175
H01L 21/822
H01L 27/04
H03K 19/003(21)Application number : 2002-156703 (71)Applicant : RENESAS TECHNOLOGY
CORP(22)Date of filing : 30.05.2002 (72)Inventor : NEGISHI TAKEMI
NANBU HIROAKI
KANETANI KAZUO
KAZAMA HIDEO

(54) SEMICONDUCTOR DEVICE AND SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which enhances a function of preventing breakdown voltage failure of MOSFETs without complicating processes and to provide a system which can be easily developed and designed and which hardly causes the failure of the breakdown voltage.

SOLUTION: The first semiconductor device comprises first and second input circuits employing MOSFETs manufactured in the same manufacturing process wherein the first input circuit receives a first input signal inputted from a first external terminal and divides the voltage by first and second resistor means, and receives the AC component of the input signal through capacitors connected in parallel with the first resistor means, and the second input circuit receives a second input signal inputted from a second external terminal and whose signal amplitude is made smaller than that of the first input signal. The system is configured with the second semiconductor device corresponding to the first input circuit and the third semiconductor device corresponding to the second input circuit in addition to the first semiconductor device.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 13.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-347921

(P2003-347921A)

(43) 公開日 平成15年12月5日 (2003.12.5)

(51) Int.Cl.⁷

識別記号

F I

テマコード(参考)

H 0 3 K 19/0175

H 0 3 K 19/003

E 5 F 0 3 8

H 0 1 L 21/822

19/00

1 0 1 K 5 J 0 3 2

27/04

H 0 1 L 27/04

H 5 J 0 5 6

H 0 3 K 19/003

C

R

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号

特願2002-156703(P2002-156703)

(22) 出願日

平成14年5月30日(2002.5.30)

(71) 出願人 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(72) 発明者 根岸 剛己

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 南部 博昭

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74) 代理人 100081938

弁理士 徳若 光政

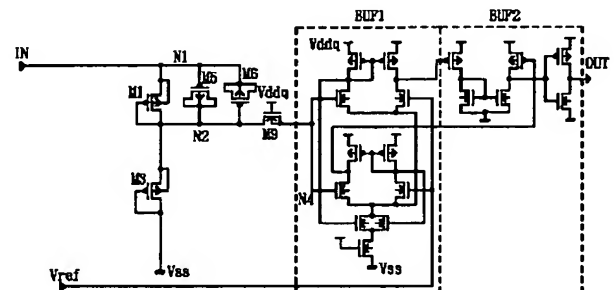
最終頁に続く

(54) 【発明の名称】 半導体装置及びシステム

(57) 【要約】

【課題】 プロセスを複雑にせずに、MOSFETの耐圧不良を防止の向上を図った半導体装置、開発設計が容易でしかも半導体装置の耐圧不良を防止したシステムを提供する。

【解決手段】 第1の外部端子から入力される第1の入力信号を第1と第2の抵抗手段により分圧して伝え、上記第1の抵抗手段に並列形態にキャパシタを設けて入力信号の交流成分を伝え、上記分圧された電圧を第1の入力回路に入力し、第2の外部端子から入力され、上記第1の入力信号よりも小さな信号振幅とされた第2の入力信号を第2の入力回路に伝え、上記第1と第2の入力回路が同じ製造工程で形成されたMOSFETで第1の半導体装置する。これに上記第1の入力回路に対応した第2の半導体装置及び上記第2の入力回路に対応した第3の半導体装置によりシステムを構成する



【特許請求の範囲】

【請求項1】 外部端子から入力される第1の入力信号を分圧して伝える第1と第2の抵抗手段と、上記第1の抵抗手段に並列形態に設けられ、上記入力信号の交流成分を伝えるキャパシタと、上記第1と第2の抵抗手段により分圧された電圧を受けて上記入力信号よりも小さな信号振幅にされた出力信号を形成する入力回路と、上記入力回路の出力信号を受ける内部回路とを備え、上記入力回路と上記内部回路は、同じ製造工程で形成されたMOSFETで構成されてなることを特徴とする半導体装置。

【請求項2】 請求項1において、上記第1と第2の抵抗手段により分圧された入力信号は、ゲートに所定電圧が印加されたMOSFETのソースドレイン経路を通して上記入力回路に伝えられるものであることを特徴とする半導体装置。

【請求項3】 請求項2において、上記第1、第2の抵抗手段及び第1のキャパシタは、MOSFETにより構成されるものであり、それぞれのMOSFETはウェル分離されてソースとウェルとが接続されるものであることを特徴とする半導体装置。

【請求項4】 第1の外部端子から入力される第1の入力信号を分圧して伝える第1と第2の抵抗手段と、上記第1の抵抗手段に並列形態に設けられ、上記入力信号の交流成分を伝えるキャパシタと、上記第1と第2の抵抗手段により分圧された電圧を受ける第1の入力回路と、第2の外部端子から入力され、上記第1の入力信号よりも小さな信号振幅とされた第2の入力回路とを備えた第1の半導体装置と、上記第1の入力回路に対応した入力信号を形成し、上記第1の半導体装置と接続される第2の半導体装置と、上記第2の入力回路に対応した入力信号を形成して、上記第1の半導体装置と接続される第3の半導体装置とを備えてなることを特徴とするシステム。

【請求項5】 請求項4において、上記第1と第3の半導体装置は、所定の信号処理を行うものであり、上記第2の半導体装置は、上記第1の半導体装置の試験を行うものであることを特徴とするシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体装置及びシステムに関し、特に異なる信号電圧の入出力インターフェースを有する複数のLSI/ICで構成されるシステムで使用されるLSI/ICでの入力回路に利用して有効な技術に関するものである。

【0002】

【従来の技術】 本願発明を成した後の公知例調査において、本願発明に関連するものとして(1)特開平05-

26666号公報、(2)特開2001-251176号公報の存在が報告された。(1)の公報では、入力端子と入力回路の間に入力振幅制限回路を設けることにより、上記入力回路のトランジスタの破壊を防止することを可能とした半導体メモリが開示されている。(2)の公報では、入力電圧がMOSトランジスタのゲート酸化膜の耐圧以上であっても、その耐圧以上の電圧差が印加されないようにトランスファゲート20を制御する制御回路30を設けたレベルシフト回路が開示されている。

【0003】

【発明が解決しようとする課題】 近年のハイエンドシステムでは、システム性能を左右するコア部分に最先端のプロセス技術を採用したLSI/IC(以下単にLSI)を使用し、性能にあまり関与しないテスト/評価用制御部分に前世代または前々世代のプロセス技術を採用したLSIを使用している。従って最先端のLSIは、コア部に関わる入出力インターフェースとテスト/評価用制御部に関わる入出力インターフェースの両方をサポートする必要がある。一般に後者の入出力インターフェースの信号電圧は前者の信号電圧より大きいので、最先端のLSIでは大きな信号電圧を小さな信号電圧に変換する入力回路が必要となる。

【0004】 上記信号電圧を変換する入力回路として、前記(1)では素子数が多く、それに伴い消費電流が増加してしまうので実用的ではない。前記(2)の回路では、トランスファゲートMOSFETを用いてレベルクランプするものであり、例えば電源電圧=1.5Vの場合は、入力端子に1.5V以上の電圧が入力されてもノードAの電位は1.5Vにクランプされ、それ以上の電圧にはならない。従って、入力回路を構成するMOSトランジスタの耐圧が1.8Vの場合に、入力端子INに1.8V以上の電圧が入力されたとしても、上記トランスファゲートMOSFETを挿入することにより、入力回路でのMOSトランジスタが耐圧不良を起こすのを防止することができる。

【0005】 しかしながら、入力電圧が高すぎるとトランスファゲートMOSFET自体が耐圧不良を起こしてしまう。すなわち、例えば電源電圧=1.5V、トランスファゲートMOSFETの耐圧を1.8Vとすると、入力電圧の上限は3.3V(=1.5V+1.8V)となる。すなわち、前記(2)の従来例では、入力電圧に上限が存在し、この上限以上の電圧を入力すると入力回路を構成するMOSトランジスタが耐圧不良を起こしてしまう。この耐圧不良をプロセス的に対策するには、例えばトランスファゲートMOSFETのゲート酸化膜の厚さを増加し、トランジスタの耐圧を大きくすることが考えられる。

【0006】 図16には、本願発明者により先に検討された素子構造断面図が示されている。同図において、M

OSFETM9を上記トランスファゲートMOSFETとして用い、MB1を入力回路を構成するMOSFETを示している。本図において、SUBは半導体基板、Wはウェル、SはMOSトランジスタのソース、Dはドレイン、Gはゲートを示している。例えば上記SUB、S、DはN型とされ、WがP型とされて、MOSFETM9とMB1は共にNチャネル型のMOSトランジスタの例が示されている。本図に示したように、本例ではMOSFETM9のゲート酸化膜の厚さをMOSFETMB1に増加させて、MOSFETM9の耐圧を大きくしている。しかし、このように同じ半導体装置においてMOSFETM9とMB1のゲート酸化膜厚を異ならせると、プロセスが複雑になり、その分コストが増加してしまう。

【0007】この発明の目的は、プロセスを複雑にせずに、MOSFETの耐圧不良を防止の向上を図った半導体装置を提供することにある。この発明の他の目的は、開発設計が容易でしかも半導体装置の耐圧不良を防止したシステムを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。外部端子から入力される入力信号を第1と第2の抵抗手段により分圧して伝え、上記第1の抵抗手段に並列形態にキャパシタを設けて入力信号の交流成分を伝え、上記分圧された電圧を入力回路に入力し、この入力回路で形成され、上記入力信号よりも小さな信号振幅とされた内部信号を内部回路に伝え、上記入力回路と内部回路とを同じ製造工程で形成されたMOSFETで構成する。

【0009】本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。第1の外部端子から入力される第1の入力信号を第1と第2の抵抗手段により分圧して伝え、上記第1の抵抗手段に並列形態にキャパシタを設けて入力信号の交流成分を伝え、上記分圧された電圧を第1の入力回路に入力し、第2の外部端子から入力され、上記第1の入力信号よりも小さな信号振幅とされた第2の入力信号を第2の入力回路に伝え、上記第1と第2の入力回路が同じ製造工程で形成されたMOSFETからなる第1の半導体装置、上記第1の入力回路に対応した入力信号を形成し、上記第1の半導体装置と接続される第2の半導体装置及び上記第2の入力回路に対応した入力信号を形成して、上記第1の半導体装置と接続される第3の半導体装置によりシステムを構成する。

【0010】

【発明の実施の形態】図1には、本発明に係る半導体装置に用いられる入力回路の一実施例の回路図が示されて

いる。入力端子INと回路の接地電位との間には、分圧回路を構成する抵抗R11とR12が直列形態に接続される。上記抵抗R11とR12の抵抗値は、入力端子INから流れる電流が所定の規格を満足するよう大きな抵抗値にされる。このような大きな抵抗値で分圧回路を構成した場合、消費電流を小さくできる反面、分圧出力ノードに付加する寄生抵抗等により入力信号の伝達が遅くなってしまう。

【0011】この実施例では、消費電力の低減と動作の高速化の両立を図るために、上記抵抗R11には、キャパシタC11が並列形態に接続される。つまり、かかるキャパシタC11により入力信号の交流成分を伝えて、入力信号の変化に対応した分圧出力を高速に得るようにすることができる。上記キャパシタC12は分圧出力でのノードN3に寄生する寄生容量である。

【0012】上記抵抗R11とR12で分圧された内部ノードN3の信号は、特に制限されないが、クランプ用MOSFETM9を介して入力バッファBUF1、BUF2からなる入力回路に伝えられる。このような入力回路BUF1、BUF2の出力信号OUTが図示しない内部回路に伝えられる。上記入力バッファBUF1及びBUF2はそれぞれカレントミラーCMOSアンプであり、バッファBUF1及びBUF2で2段型の入力回路を構成している。

【0013】上記カレントミラーCMOSアンプを構成する入力段回路BUF1は、入力端子N4の信号と、基準電圧（参照電圧）Vrefとを受けるシングルエンド構成の差動増幅回路を2組設け、それぞれの差動増幅回路から入力信号に同相と逆相の差動増幅信号を形成する。上記カレントミラーCMOSアンプの出力段回路BUF1は、上記正相出力と逆相出力からなる差動信号をPチャネルMOSFETで受け、それをNチャネルMOSFETからなるカレントミラー回路に供給し、差分の電流を出力して出力回路を構成するCMOSインバータ回路を駆動するものである。

【0014】上記初段のバッファBUF1の入力部に設けられたMOSFETM9は、いわゆる電圧クランプ動作のために設けられる。例えば、電源電圧Vddq = 1.5Vの場合は、内部ノードN3に1.5V以上の電圧が入力されても上記入力段のバッファBUF1の入力端子のノードN4の電位は1.5V - Vt（ここでVtはMOSFETM9のしきい電圧）にクランプされ、それ以上の電圧にはならないようにするものである。

【0015】入力回路に前記のような分圧抵抗R11とR12を設けることにより、その分圧出力であるノードN3の電圧を入力端子INから入力される入力電圧VINに対して、 $V_{IN} \cdot r_{12} / (r_{11} + r_{12})$ に小さくできる。ここで、上記r11、r12は、それぞれ抵抗R11、R12の抵抗値である。抵抗値r11とr12の比を適当に設計することで、電圧クランプ動作を

行うMOSFETM9が耐圧不良を起こさないようにすることができる。

【0016】例えば電源電圧 $V_{ddq}=1.5V$ 、クランプ用MOSFETM9の耐圧が $1.8V$ 、入力電圧 V_{IN} の最大値が $3.6V$ の場合、例えば $r_{11}/r_{12}=1$ に設定すればよい。この時、ノードN3の電圧 V_3 は、
$$V_3 = V_{IN} \times r_{12} / (r_{11} + r_{12})$$
$$= 3.6 \times 1 / 2 = 1.8V$$
となり、入力回路に用いられるMOSFETM9が耐圧不良を起こすことはない。ここで、 V_3 はノードN3の電圧、 V_{IN} は入力端子INの入力電圧である。

【0017】一般に半導体装置の入力回路の入力電流は所望の規格を満足するよう小さくする必要がある。このため、分圧回路を構成する抵抗 R_{11} と R_{12} の抵抗値 r_{11} 、 r_{12} をある程度大きくする必要がある。 r_{11} 、 r_{12} の値を大きくすると、ノードN3の時定数 $c_{12} \times (r_{11} \times r_{12}) / (r_{11} + r_{12})$ が大きくなる。ここで c_{12} は寄生容量 C_{12} の容量値である。この時定数が大きくなると、入力端子INから供給される入力信号の電圧変化に対してノードN3の電圧が十分高速に追従しなくなってしまうという問題を有する。

【0018】この実施例では、キャパシタ C_{11} が抵抗 R_{11} に並列形態に設けられる。このキャパシタは、いわゆるスピードアップ容量であり、その容量値を c_{11} とすると、 $c_{11} \geq c_{12} \times r_{11} / r_{12}$ となるように設定される。このような容量値の設定により、ノードN3の電圧は入力端子INから供給される入力信号の電圧変化に対して十分高速に応答する。本発明に係る入力回路においては、高耐圧化のためにMOSFETM9のゲート絶縁膜を入力回路 BUF_1 、 BUF_2 を構成するMOSFETに比べて厚く形成することなく、言い換えるならば、MOSFETM9と入力回路 BUF_1 、 BUF_2 を構成するMOSFETとを製造プロセスで形成し、消費電流を削減しつつ、MOSFETが耐圧不良を起こさないようにすることができる。

【0019】図2には、本発明に係る入力回路の他の一実施例の回路図が示されている。この実施例では、前記図1の抵抗 R_{11} 、 R_{12} 及びキャパシタ C_{11} がMOSFETを用いて構成される。つまり、抵抗 R_{11} は、ソースが入力端子INに接続され、ゲート及びドレインが分圧出力に対応したノードN2に接続されたMOSFETM1により構成される。抵抗 R_{12} は、ソースが上記ノードN2に接続され、ゲート及びドレインが回路の接地電位点 V_{SS} に接続されたMOSFETM3により構成される。キャパシタ C_{11} は、ゲートが上記MOSFETM1のソース（ノードN1）に接続され、共通接続されたソース、ドレイン及びウェルが上記MOSFETM1のドレイン（ノードN2）に接続されるMOSF

ETM5と、ゲートが上記MOSFETM1のドレイン（ノードN2）に接続され、共通接続されたソース、ドレイン及びウェルが上記MOSFETM1のソース（ノードN1）にされたMOSFETM6との並列回路で構成される。

【0020】前記キャパシタ C_{11} は、MOSFETM5及びM6のゲート容量を利用するものであり、MOSFETのゲート容量の持つ正電圧印加時と負電圧印加時とで容量値が変化してしまうという特性の補償のために、上記のように並列接続された2つのMOSFETM5、M6が用いられる。他の構成は、前記図1の実施例回路と同様である。この実施例のように、抵抗手段及び容量手段としてMOSFETを用いることにより、半導体基板上での素子占有面積を小さくすることができる。前記のように抵抗 R_{11} と R_{12} は、大きな抵抗値を持つように形成する必要がある、例えばポリシコン層で形成した場合、大きな抵抗値を得るために大きな占有面積が必要となる。これに対して、MOSFETM1及びM2は、そのゲート幅は前記MOSFETM9等と同じでゲート長を長く形成することにより小さな面積で大きな抵抗値を実現することがきるものである。

【0021】上記抵抗 R_{11} 及び R_{12} を構成するMOSFETM1、M3のウェルをそれぞれ電気的に分離して、それぞれのソースに接続し、上記入力端子INから入力される信号の振幅を低減（分圧）した信号を上記入力回路（ $BUF_1 + BUF_2$ ）の入力端子（ノードN4）に伝えるようにするものである。上記キャパシタ C_{11} は、一端をゲート端子とし、他端をソースとドレイン及びウェルを共通に接続した端子としたMOSFETM5、M6で構成し、該MOSFETM5、M6ウェルを他の内部回路等のMOSFETのウェルと電気的に分離して、それぞれのソースに接続している。

【0022】入力回路をこのように構成すると、ノードN2の電圧を入力端子INから入力される電圧の $r_1 / (r_1 + r_3)$ に小さくできる。ここで、 r_1 、 r_3 はそれぞれMOSFETM1、M3の等価抵抗値であり、抵抗値 r_1 と r_3 の比を適当に設計することで、MOSFETM9が耐圧不良を起こさないようにすることができる。例えば電源電圧 $V_{ddq}=1.5V$ 、MOSFETM9の耐圧が $1.8V$ 、入力電圧の最大値が $3.6V$ の場合、 $r_1 / r_3 = 1$ に設定すればよい。この時、ノードN2の電圧 V_2 は、

$$V_2 = V_{IN} \times r_3 / (r_1 + r_3)$$
$$= 3.6 \times 1 / 2 = 1.8V$$
となり、入力回路を構成する電圧クランプ用MOSFETM9が耐圧不良を起こすことはない。上記 V_2 はノードN2の電圧、 V_{IN} は入力端子INの入力電圧である。

【0023】この実施例では、上記MOSFETM1、M3のウェルをそれぞれ電気的に分離して、それぞれのソースに接続しているので、MOSFETM1、M3も

耐圧不良を起こすことはない。もしも、一般によく行われるように、MOSFETM1, M3のウェルを電気的に分離せずに、ソース電位が最も高電位（Pチャネル型のMOSトランジスタの場合）または低電位（Nチャネル型のMOSトランジスタの場合）になった時の電位に固定すると、ゲートとウェルの間で耐圧不良を起こしてしまう。例えば、この実施例の回路において、Pチャネル型のMOSFETM1, M3のウェルを、一般によく行われるように、3.6Vに固定すると、VIN=0Vになった時、ゲートとウェル間の電圧が3.6Vになり、耐圧不良を起こしてしまう。これに対し、この実施例のようにウェルをそれぞれのソースに接続すると、ゲートとウェル間の電圧は1.8V以上にはならず、耐圧不良を起こすことはない。

【0024】MOSFETM5, M6はスピードアップ容量として動作し、ノードN2の電圧が入力端子INの電圧変化に対して十分高速に追従するようにしている。また、MOSFETM5, M6のウェルを上記MOSFETM9等のウェルと電気的に分離して、それぞれのソースに接続しているので、MOSFETM5, M6も耐圧不良を起こすことはない。また、MOSFETM5のゲートを電位の高い側に接続し、MOSFETM6のゲートを電位の低い側に接続しているので、電位の高い側の端子と電位の低い側の端子の特性を一致させることができる。以上述べてきたように、本発明に係る入力回路においては、MOSFETが耐圧不良を起こさないようにすることができる。また、入力回路の入力電流を小さくするために抵抗値を大きくしても、レイアウト面積が増加しないという効果がある。

【0025】図3には、本発明に係る入力回路の他の一実施例の回路図が示されている。この実施例では、入力回路でのMOSFETの静電破壊を防止するために、入力端子INに静電破壊防止用回路ESDが設けられる。他の構成は、前記図2の実施例と同様である。静電破壊防止回路ESDは、入力端子INがあるレベルより高電位になった時に導通するサイリスタ（B1, B2）と、入力端子INがあるレベルより低電位になった時に導通するダイオード（D1）と抵抗R1とで構成される。

【0026】上記抵抗R1は、キャパシタC11を構成するMOSFETM5, M6を付加することによりノードN1に寄生する寄生容量（図示していない）といっしょにローパスフィルタを構成しており、サージ電圧の高周波成分がLSI内部に入らないようにするよう動作する。この実施例では、スピードアップ容量C11を構成するMOSFETM5, M6は、上記ローパスフィルタ用容量と共通化でき、その分チップサイズを低減できるという効果がある。

【0027】図4には、本発明に係る入力回路の他の一実施例の回路図が示されている。この実施例は、前記図3の実施例の変形例であり、前記図3の実施例と異なる

のは、分圧回路を構成するMOSFETM4が追加される。前記図3のMOSFETM3のドレインと回路の接地電位点Vssの間に、ソース及びウェルが接続され、かつゲート及びドレインが接続されたMOSFETM4が挿入される。このようにMOSFETM4を挿入すると、入力端子INの電位がさらに高い場合に対応できる。

【0028】例えば、電源電圧Vddq=1.5V、MOSFETM9の耐圧が1.8V、入力電圧VINの最大値が4.8Vの場合、r1:r3:r4=1:1:1に設定すればよい。ここで、r1, r3, r4はそれぞれMOSFETM1, M3, M4の等価抵抗値である。V2はノードN2の電圧であり、VINは入力端子INの電圧である。この時、ノードN2の電圧V2は、抵抗R1の抵抗値がr1, r3, r4より十分小さいことを考慮すると、 $V2 = VIN \times (r3 + r4) / (r1 + r3 + r4) = 4.8 \times 2 / 3 = 3.2V$ となる。

【0029】上記のような分圧動作によって、入力回路を構成するMOSFETM9が耐圧不良を起こすことはない。また、MOSFETM1, M3, M4は、ウェルをそれぞれ電気的に分離してそれぞれのソースに接続しているので、MOSFETM1, M3, M4には最大1.6Vの電圧しか印加されず、耐圧不良を起こすことはない。

【0030】図5には、本発明に係る入力回路の他の一実施例の回路図が示されている。この実施例は、前記図4の実施例の変形例であり、前記図4と異なるのは、MOSFETM1のドレインと第1のノードN2の間に、ソース及びウェルが接続され、かつゲート及びドレインが接続されたMOSFETM2を挿入した点と、キャパシタを形成するMOSFETM5, M6と直列にMOSFETM7, M8を挿入した点である。言い換えるならば、MOSFETM2の両端に上記MOSFETM7, M8からなるキャパシタを並列に接続するものである。この実施例では、上記入力端子INに入力される信号の電位レベルが上記回路の接地電位Vssより高い場合（正の電圧）を想定し、上記MOSFETM1, M2をPチャネル型のMOSFETとし、さらに、キャパシタを構成するM5, M6, M7, M8をPチャネル型のMOSFETとしている。

【0031】この実施例のようにMOSFETM2を挿入すると、入力端子INの入力電圧VINの電位がさらに高い場合に対応できる。例えばVddq=1.5V、MOSFETM9の耐圧が1.8V、入力電圧VINの最大値が6.4Vの場合、r1:r2:r3:r4=1:1:1:1に設定すればよい。ここで、r1, r2, r3, r4はそれぞれMOSFETM1, M2, M3, M4の等価抵抗値である。V3はノードN3の電圧、VINは入力端子INの電圧である。この時、ノー

ドN3の電圧V3は、抵抗R1の抵抗値がr1, r2, r3, r4より十分小さいことを考慮すると、

$$V3 = VIN \times (r3 + r4) / (r1 + r2 + r3 + r4)$$

$$= 6.4 \times 2 / 4 = 3.2 \text{ V}$$
となる。

【0032】上記入力回路においては、MOSFETM9が耐圧不良を起こすことはない。また、MOSFETM1, M2, M3, M4は、ウェルをそれぞれ電氣的に分離してそれぞれのソースに接続しているため、MOSFETM1, M2, M3, M4には最大1.6Vの電圧しか印加されず、耐圧不良を起こすことはない。また、MOSFETM5, M6, M7, M8のウェルを他のMOSFET等のウェルと電氣的に分離して、それぞれのソースに接続しているため、MOSFETM5, M6, M7, M8には最大1.6Vの電圧しか印加されず、耐圧不良を起こすことはない。

【0033】上記入力端子INに入力される信号の電位レベルが上記回路の接地電位Vssの電位レベルより高い場合（正の電圧）を想定し、上記MOSFETM1をPチャネル型のMOSFETとしているので、ウェルと基板または深いウェルとで形成されるPN接合が順バイアスになるのを防止することができる。例えばこの実施例において、MOSFETM1をNチャネル型のMOSFETで構成すると、かかるMOSFETM1が形成されるPウェルは、通常最も高い電位の電源Vdd（例えば2.5V）に接続されたN型の基板または深いウェルと接することになる。

【0034】先に述べたように、MOSFETM1のウェルはソースに接続されるので、入力端子の入力電圧VINが3.6Vになった時、MOSFETM1のウェルは2.7V（ $= 3.6 \text{ V} \times 3 / 4$ ）になる。従ってウェルと基板または深いウェルとで形成されるPN接合が0.2Vに順バイアスされ、電氣的なアイソレーションが破壊されるだけでなく、極めて大きな基板電流が流れ、ラッチアップを引き起こす可能性もある。これに対し、MOSFETM1をPチャネル型のMOSFETで構成すると、このMOSFETを構成するNウェルは、最も低い電位の電源Vss=0Vに接続されたP型の基板または深いウェルと接することになる。これに対して、MOSFETM1のウェルはソースに接続されるので、MOSFETM1のウェルは0～3.6Vの間で変化し、従ってウェルと基板または深いウェルとで形成されるPN接合は順バイアスされることはない。

【0035】同様に、上記入力端子INに入力される信号の電位レベルが上記回路の接地電位Vssの電位レベルより高い場合を想定し、MOSFETM5, M6をPチャネル型のMOSFETとしているので、ウェルと基板または深いウェルとで形成されるPN接合が順バイアスになるのを防止することができる。

【0036】図6には、本発明に係る入力回路の他の一実施例の回路図が示されている。この実施例は、前記図3の実施例の変形例であり、前記図3と異なるのは、ク

ランプ用MOSFETM9を省略した点である。例えば電源電圧Vddq=1.5V、入力段回路BUF1を構成するMOSFETの耐圧が1.8V、入力電圧VINの最大値が3.6Vの場合、r1/r3=1に設定すればよい。ここで、r1, r3はそれぞれMOSFETM1, M3の等価抵抗値であり、V2はノードN2の電圧、VINは入力INの電圧である。この時、ノードN2の電圧V2は、

$$V2 = VIN \times r3 / (r1 + r3)$$

$$= 3.6 \times 1 / 2 = 1.8 \text{ V}$$
となるので、入力段回路BUF1を構成するMOSFETが耐圧不良を起こすことはない。そして、上記電圧クランプ用MOSFETM9を削除した分、信号電圧速度を速くすることができる。

【0037】図7には、本発明に係る入力回路の更に他の一実施例の回路図が示されている。この実施例は、前記図4の実施例の変形例であり、前記図4と異なるのは、クランプ用MOSFETM9及び2段型の入力バッファ（BUF1及びBUF2）をインバータに置き換えた点である。既に述べたように、図4の実施例では、例えば電源電圧Vddq=1.5Vの場合は、ノードN2に1.5V以上の電圧が入力されると、ノードN4の電位は1.5V-Vtにクランプされ、それ以上の電圧にはならない。

【0038】言い換えると、電源電圧Vddqが決まるとノードN4の高電位はVddq-Vt、低電位は0Vに一意的に決まってしまう。従って、バッファBUF1の論理しきい値は、例えば $(Vddq - Vt) / 2 = (1.5 - 0.5) / 2 = 0.5 \text{ V}$ （ここでVt=0.5Vの場合）といったように、電源電圧Vddqの電位に対応させて設定する必要がある。このため、バッファBUF1にはこの論理しきい値を決めるための参照電位Vrefが必要となる。

【0039】上記MOSFETM9を省略すると、ノードN2の電位をr1, r3, r4の比で設定できる。

（ここで、r1, r3, r4はそれぞれMOSFETM1, M3, M4の等価抵抗値であり、インバータ回路で構成されたBUF1の論理しきい値を自由に設定できる。例えば電源電圧Vddq=1.5V、入力電圧VINの最大値が3.3Vの場合、r1:r3:r4=1.8:0.75:0.75に設定すると、ノードN2の電圧V2は、抵抗R1の抵抗値がr1, r3, r4より十分小さいことを考慮すると、

$$V2 = VIN \times (r3 + r4) / (r1 + r3 + r4)$$

$$= 3.3 \times 1.5 / 3.3 = 1.5 \text{ V}$$
となるので、論理しきい値がVddq/2=0.75Vのようなインバータ回路をバッファBUF1として使用することができる

ようになる。

【0040】図8には、この発明に係る入力回路を構成するMOSFETの一実施例のレイアウト図が示されている。同図においては、前記図4に示したMOSFET M1、M3～M6のレイアウト例が示されている。Wはウェル、Lは活性領域、Gはゲートを示している。この実施例では、各MOSFET M1、M3～M6のウェルWをそれぞれ電氣的に分離して、それぞれのソースに接続している。このため、これらのMOSFET M1、M3～M6は耐圧不良を起こすことはない。

【0041】図9には、この発明に係る入力回路を構成するMOSFETの他の一実施例のレイアウト図が示されている。同図においては、前記図5に示したMOSFET M1～M8のレイアウト例が示されている。Wはウェル、Lは活性領域、Gはゲートを示している。この実施例においても、MOSFET M1～M8のウェルWをそれぞれ電氣的に分離して、それぞれのソースに接続している。このため、これらのMOSFET M1～M8が入力電圧VINを分担するものであるので、MOSFET M1～M8において耐圧不良を起こすことはない。

【0042】図10には、この発明に係る入力回路を構成するMOSFETの一実施例の素子構造断面図が示されている。この実施例は、前記図2等の入力回路に用いられるMOSFET M1とM3の構造例が示されている。SUBは半導体基板、Wはウェル、SはMOSFETのソース、Dはドレイン、Gはゲートをそれぞれ示している。この実施例では、上記SUB、S、DがP型、WがN型で、MOSFET M1とM3は共にPチャネル型のMOSFETとなっている。

【0043】上記MOSFET M1、M3のウェルWをそれぞれ電氣的に分離して、それぞれのソースに接続している。このため、これらのMOSFET M1、M3において耐圧不良を起こすことはない。そして、前記説明したように、上記入力端子INに入力される信号の電位レベルが上記回路の接地電位Vssの電位レベルより高い場合（正の電圧）を想定し、上記MOSFET M1をPチャネル型のMOSFETとしているので、ウェルWと基板SUBとで形成されるPN接合が順バイアスになるのを防止することができる。

【0044】図11には、この発明に係る入力回路を構成するMOSFETの他の一実施例の素子構造断面図が示されている。この実施例は、前記図2等の入力回路に用いられるMOSFET M1とM3をNチャネルMOSFETに置き換えた場合の構造例が示されている。SUBは半導体基板、DWは深いウェル、Wはウェル、SはMOSFETのソース、Dはドレイン、Gはゲートを示しており、3重ウェル構造になっている。本例では、DW、S、DがN型、SUB、WがP型で、MOSFET M1とM3は共にNチャネル型のMOSFETとなっている。本例でも、MOSFETのウェルWをそれぞれ電

氣的に分離して、それぞれのソースSに接続している。このため、これらのMOSFETは耐圧不良を起こすことはない。

【0045】図12には、この発明に係る入力回路を構成するMOSFETの他の一実施例の素子構造断面図が示されている。この実施例は、例えば図5のMOSFET M1とM5をNチャネル型のMOSFETに置き換えた場合の構造例が示されている。SUBは半導体基板、DWは深いウェル、Wはウェル、SはMOSFETのソース、Dはドレイン、Gはゲートを示しており、3重ウェル構造になっている。

【0046】この実施例では、DW、S、DがN型、SUB、WがP型で、MOSFET M1とM5は共にNチャネル型のMOSFETとなっている。本例でも、MOSFETのウェルWをそれぞれ電氣的に分離してそれぞれのソースSに接続し、さらに、深いウェルDWをそれぞれ電氣的に分離して、それぞれのドレインに接続している。このため、これらのMOSFET M1、M5は耐圧不良を起こすことはなく、さらに、WとDWで構成されるPN接合が順バイアスになるのを防止することができる。

【0047】図13には、この発明に係る入力回路を構成するMOSFETの他の一実施例の素子構造断面図が示されている。同図においては、MOSFET M1、M5、M6及びM3と、MOSFET M4、M9及びMB1を上下に分割して示しているが、両者はA～Cで結合されるものである。この実施例では、図4のMOSFET M1、M3、M4、M5、M6、M9、MB1の構造例が示されている。SUBは半導体基板、Wはウェル、SはMOSFETのソース、Dはドレイン、Gはゲートを示している。本例では、SUBはP型、DWはN型であり、MOSFET M1、M3、M4、M5、M6のWはN型、S、DはP型、MOSFET M9、MB1のWはP型、S、DはN型である。

【0048】従って、MOSFET M1、M3、M4、M5、M6はPチャネル型のMOSFET、MOSFET M9、MB1はNチャネル型のMOSFETである。本例でも、MOSFETのウェルWをそれぞれ電氣的に分離して、それぞれのソースSに接続している。このため、全てのゲート酸化膜厚を同じにしても、MOSFETは耐圧不良を起こすことはない。

【0049】図14には、この発明が適用されるスタティック型RAMの一実施例のブロック図が示されている。同図は、半導体基板上に形成される各回路ブロックの幾何学的な配置に合わせて各回路ブロックの配置例を示している。本図でMUL0～MUL7、MUR0～MUR7、MLL0～MLL7、MLR0～MLR7は、メモリセルがアレイ状に配置されたセルアレイであり、MWDはメインワードドライバ、I/Oは入出力回路、ADRはアドレスバッファ、CNTRは制御回路、RE

G/PDECはプリデコーダ等、DQはデータ出力回路である。本例ではセンタパッド方式の例を示しており、このためI/O回路もチップの中央に位置している。

【0050】FUSEはヒューズ回路であり、メモリアレイ欠陥救済等に用いられる。VREFは入力信号を取り込むための参照電圧を形成する。VGは内部電圧発生回路であり、DLLはクロックの同期化回路であり、JTAG TAPはテスト回路である。前期説明した入力回路は、I/O回路に配置され、上記テスト回路JTAG TAPに向けた3つの入力信号TCK、TMS及びTDIの取り込みを行うものである。また、上記テスト回路JTAG TAPからの出力信号TDOに対応した出力回路も設けられる。他の入出力回路I/OやアドレスバッファADR等は、前期説明した入力回路とは異なり、後述するような小振幅で高速なデータの入力が可能であり、上記データ出力回路DQもそれに対応した小振幅のデータ出力を行う。

【0051】図15には、この発明に係る半導体装置を用いたシステムの一実施例のブロック図が示されている。異なる電圧の入出力インターフェースを有する複数のLSI/IC(CPU、Control IC、SRAM)で構成されるシステムにおいて、1個のLSI/IC(SRAM)が低電圧入力インターフェースを有するピン(CK、ADR、DQ)と高電圧入力インターフェースを有するピン(TCK、TMS、TDI、TDO)の両方を備えている。

【0052】この実施例のシステムでは、システム性能を左右するコア部分に最先端のプロセス技術を採用したLSI/ICを使用し、性能にあまり関与しないテスト/評価用制御部分に前世代または前々世代のプロセス技術を採用したLSIを使用している。つまり、CPUとSRAMは最先端のLSIを使用し、テストのためのControl ICは、前世代または前々世代のプロセス技術を用いて形成される。SRAMにおいては、コア部に関わる入出力インターフェースとテスト/評価用制御部に関わる入出力インターフェースの両方をサポートする必要があり、コア部に関わる入出力インターフェースとして1.5V振幅のHSTLが用いられ、テスト/評価用制御部関わる入出力インターフェースとして3.3V振幅のLVCMOSが用いられる。

【0053】SRAMは、上記コア部に関わる高速な信号の読み出しや書き込みを可能とするために、前期1.5V振幅の信号に適合すべく、薄いゲート絶縁膜のMOSFETを用いて構成される。この実施例では、上記コア部に用いられるMOSFETと同じプロセスで形成されるMOSFETを用いて前期実施例で説明したような上記テスト/評価用制御部関わる入出力インターフェース用の入力回路が構成される。これにより、プロセスを複雑にせず、MOSFETの耐圧不良を防止の向上を図ったSRAMを得ることができる。

【0054】上記テスト/評価用制御部関わるControl ICは、前世代または前々世代のプロセス技術を用いて形成されるものであり、テスト/評価の内容が同じなら既存のControl ICを流用することもできるので、システムの開発設計が容易でしかも半導体装置の耐圧不良を防止したシステムを構築することができる。

【0055】以上述べてきたように本発明を用いると、入力回路に高い電圧が入力されても、入力回路を構成するMOSFETが耐圧不良を起こさないようにすることができる。また、本発明で使用する抵抗をMOSFETを用いて実現した場合、このMOSFETの耐圧不良を防止し、かつウェルと基板または深いウェルとで形成されるPN接合が順バイアスになるのを防止することができる。

【0056】本発明で使用する抵抗をMOSFETを用いて実現した場合、入力回路の入力電流を小さくするために抵抗値を大きくしても、レイアウト面積が増加しないという効果がある。また、本発明で使用するキャパシタをMOSFETを用いて実現した場合、このMOSFETの耐圧不良を防止し、かつウェルと基板または深いウェルとで形成されるPN接合が順バイアスになるのを防止することができる。

【0057】本発明で使用するキャパシタをMOSFETを用いて実現した場合、このMOSFETをサージ電圧の高周波成分がLSI内部に入らないようにするローパスフィルタ用容量と共通化でき、その分チップサイズを低減できるという効果がある。また、本発明に係る抵抗又はMOSFETによる分圧回路を用いると、入力バッファの論理しきい値を自由に設定できるという効果がある。

【0058】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、バッファBUF1、BUF2を設ける場合、小振幅の信号を増幅して内部電源電圧に対応した信号振幅の出力信号を形成するものであれば何であってよい。図15のシステムにおいて、CPUやSRAMは、それぞれデジタル信号処理を行うLSI又はICに置き換えることができる。この発明は、内部回路の信号振幅に対して大きな信号振幅の入力信号が供給される半導体装置及びそれを用いたシステムに広く利用できる。

【0059】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。外部端子から入力される入力信号を第1と第2の抵抗手段により分圧して伝え、上記第1の抵抗手段に並列形態にキャパシタを設けて入力信号の交流成分を伝え、上記分圧された電圧を入力回路に入力し、

この入力回路で形成され、上記入力信号よりも小さな信号振幅とされた内部信号を内部回路に伝え、上記入力回路と内部回路とを同じ製造工程で形成されたMOSFETで構成することにより、プロセスを複雑にせず、MOSFETの耐圧不良を防止の向上を図ることができる。

【0060】第1の外部端子から入力される第1の入力信号を第1と第2の抵抗手段により分圧して伝え、上記第1の抵抗手段に並列形態にキャパシタを設けて入力信号の交流成分を伝え、上記分圧された電圧を第1の入力回路に入力し、第2の外部端子から入力され、上記第1の入力信号よりも小さな信号振幅とされた第2の入力信号を第2の入力回路に伝え、上記第1と第2の入力回路が同じ製造工程で形成されたMOSFETからなる第1の半導体装置、上記第1の入力回路に対応した入力信号を形成し、上記第1の半導体装置と接続される第2の半導体装置及び上記第2の入力回路に対応した入力信号を形成して、上記第1の半導体装置と接続される第3の半導体装置によりシステムを構成することにより、開発設計が容易でしかも半導体装置の耐圧不良を防止できる。

【図面の簡単な説明】

【図1】この発明に係る入力回路の一実施例を示す回路図である。

【図2】この発明に係る入力回路の他の一実施例を示す回路図である。

【図3】この発明に係る入力回路の他の一実施例を示す回路図である。

【図4】この発明に係る入力回路の他の一実施例を示す回路図である。

【図5】この発明に係る入力回路の他の一実施例を示す回路図である。

【図6】この発明に係る入力回路の他の一実施例を示す回路図である。

【図7】この発明に係る入力回路の更に他の一実施例を

示す回路図である。

【図8】この発明に係る入力回路を構成するMOSFETの一実施例を示すレイアウト図である。

【図9】この発明に係る入力回路を構成するMOSFETの他の一実施例を示すレイアウト図である。

【図10】この発明に係る入力回路を構成するMOSFETの一実施例を示す素子構造断面図である。

【図11】この発明に係る入力回路を構成するMOSFETの他の一実施例を示す素子構造断面図である。

【図12】この発明に係る入力回路を構成するMOSFETの他の一実施例を示す素子構造断面図である。

【図13】この発明に係る入力回路を構成するMOSFETの他の一実施例を示す素子構造断面図である。

【図14】この発明が適用されるスタティック型RAMの一実施例を示すブロック図である。

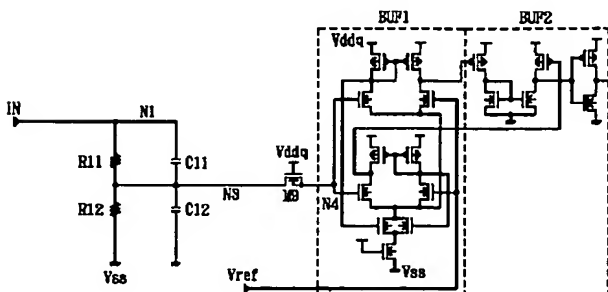
【図15】この発明に係る半導体装置を用いたシステムの一実施例を示すブロック図である。

【図16】図16には、本願発明者により先に検討された素子構造断面図が示されている

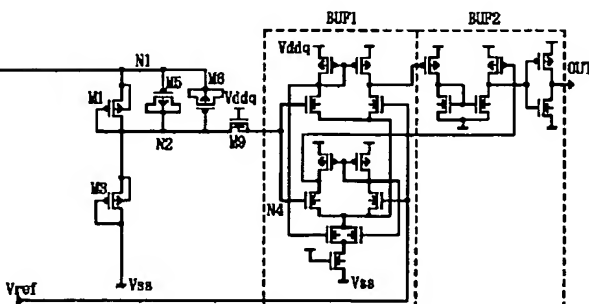
【符号の説明】

IN…入力端子、OUT…出力ノード、BUF1、BUF2…カレントミラーCMOSアンプ、ESD…静電破壊防止用回路、M1～M9…MOSFET、R11、R12…抵抗、C11…キャパシタ、C12…寄生容量、SUB…基板、W…ウェル、DW…深いウェル、L…活性領域（ソース、ドレイン）、G…ゲート電極。MUL0～MUL7、MUR0～MUR7、MLL0～MLL7、MLR0～MLR7…セルアレイ、MWD…メインワードドライバ、I/O…入出力回路、ADR…アドレスバッファ、CNTR…制御回路、REG/PDEC…ブリデコーダ等、DQ…データ出力回路、FUSE…ヒューズ回路、VREF…参照電圧発生回路、VG…内部電圧発生回路、DLL…クロックの同期化回路、JTAGTAP…テスト回路。

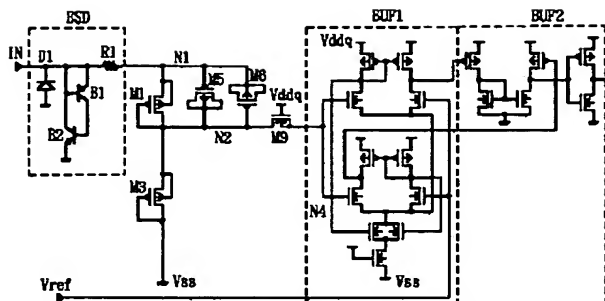
【図1】



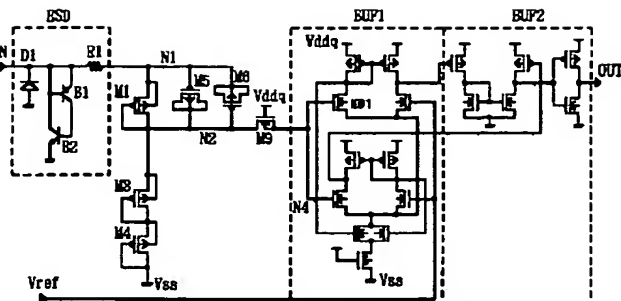
【図2】



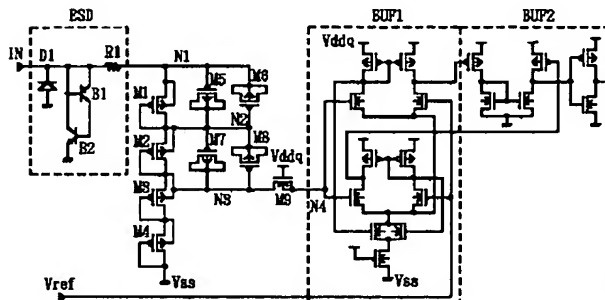
【図 3】



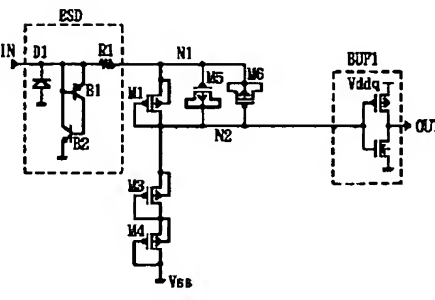
【図 4】



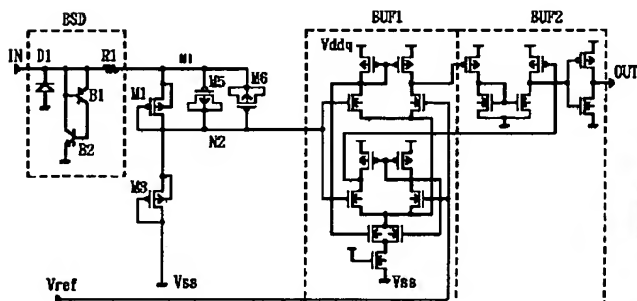
【図 5】



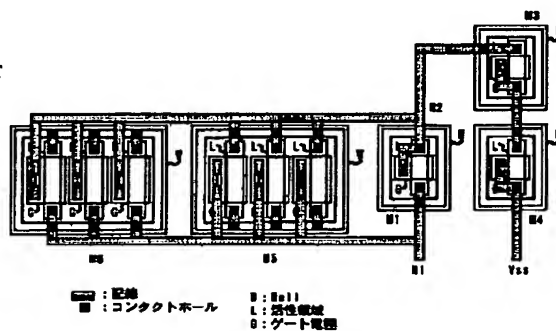
【図 7】



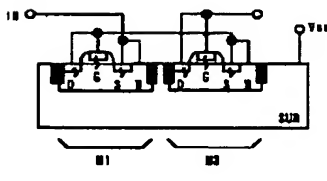
【図 6】



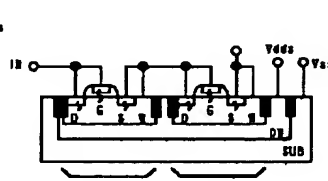
【図 8】



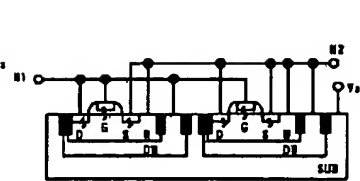
【図 10】



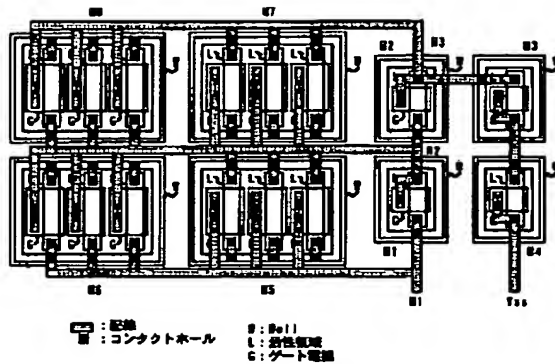
【図 11】



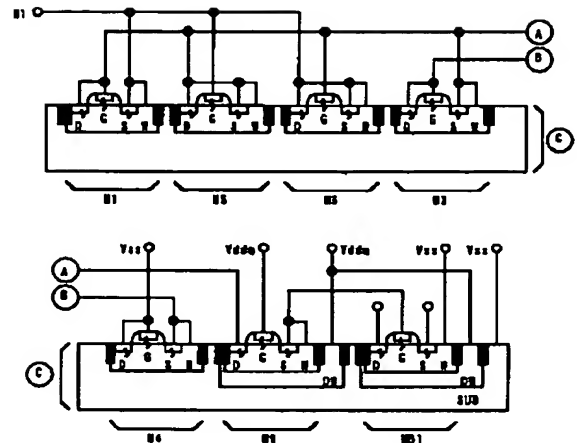
【図 12】



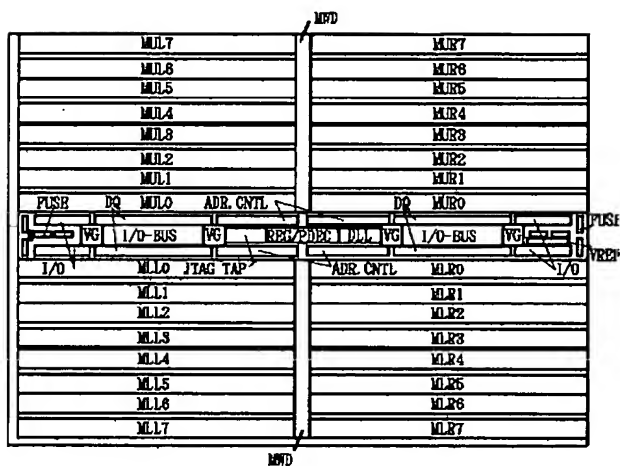
【図 9】



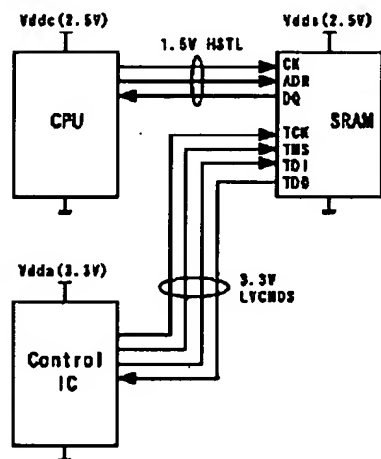
【図 13】



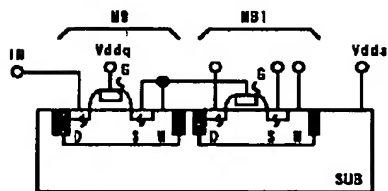
【図 14】



【図 15】



【図 16】



フロントページの続き

(72)発明者 金谷 一男
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 風間 秀士
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

Fターム(参考) 5F038 AC03 AC06 AR02 AR13 AR20
AR21 AZ03 BH02 BH03 BH07
BH15 CD11 EZ20
5J032 AA05 AA12 AB11 AC18
5J056 AA01 BB43 CC00 CC01 CC02
DD02 DD13 DD28 DD36 DD39
DD51 EE03 FF06 FF08 KK02

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.